

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111940

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H01L 27/10
H01L 21/8244
H01L 27/11

(21)Application number : 09-274898

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.10.1997

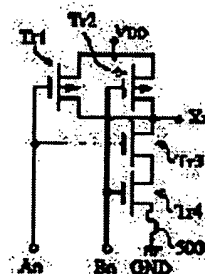
(72)Inventor : KAWASUMI ATSUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a decoder circuit which is improved in layout degrees of freedom by connecting a fuse between the source terminal of a transistor near a lower voltage source and this source.

SOLUTION: A current path of a transistor Tr2 is connected at one end to an output terminal Xn (n=1, 2, 3,...) and at the other end to a high source voltage VDD. The current path of a transistor Tr3 is connected at one end to an output terminal Xn (n=1, 2, 3,...) and at the other end to a current path of a transistor Tr4, whose source terminal is connected to a low voltage source GND through a redundant fuse 500. Among transistors Tr3, Tr4 which are series connected to the output terminal Xn of a subdecoder 503, the transistor Tr4 nearest to the low source voltage is connected at its source terminal to the fuse 500, thereby obtaining a decoder circuit which is improved in degrees of layout freedom.



LEGAL STATUS

[Date of request for examination] 20.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3357824

[Date of registration] 04.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(51)IntCl.⁶H 0 1 L 27/10
21/8244
27/11

識別記号

4 8 1

F I

H 0 1 L 27/10

4 8 1

3 8 1

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号

特願平9-274898

(22)出願日

平成9年(1997)10月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 川澄 篤

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

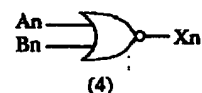
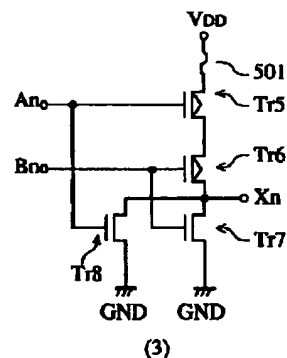
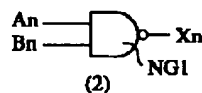
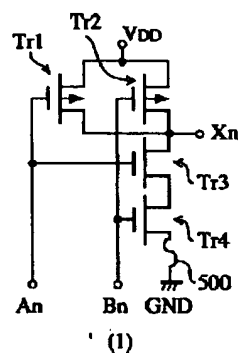
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】本願発明は、フューズを配線等で取り囲まれない領域に形成する事により、レイアウトの自由度を向上させたデコード回路を提供する事を目的とする。

【解決手段】本願発明にかかるデコード回路は、ワード線駆動回路へ信号を出力する為の接点を有し、この接点と低電圧電源との間に接続されたトランジスタの内、前記低電圧電源に近いトランジスタのソース端子と前記低電圧電源との間にヒューズが接続されている事を特徴とする。



【特許請求の範囲】

【請求項1】複数のメモリセルを有するメモリセルアレーと、

それぞれに所定個の前記メモリセルが接続された複数のワード線と、

前記ワード線の所定本数の内、一本を選択する為のサブデコードと、

前記サブデコードを活性するか否かを制御し、所定の論理回路を有するメインデコードと、を備え、

前記論理回路は、前記サブデコードへ信号を出力する為の接点を有し、この接点と電源端子との間に直列に接続された少なくとも2個のトランジスタの内、前記電源端子に近いトランジスタのソース端子と前記電源との間にヒューズが接続されている事の特徴とする半導体装置。

【請求項2】論理回路で構成され、入力されたアドレス信号を論理演算する為のデコードと、

前記デコードから出力される出力信号が供給される信号配線と、を備え、

前記デコードは、前記信号配線へ信号を出力する為の接点を有し、この接点と電源端子との間に直列に接続された少なくとも2個のトランジスタの内、前記電源端子に近いトランジスタのソース端子と前記電源端子との間にヒューズが接続されている事の特徴とする半導体装置。

【請求項3】前記デコードは、前記デコードを構成する所定個のトランジスタ及びこれらのトランジスタを電気的に接続する為の配線が形成される第一の領域に形成され、

前記フューズは、前記第一の領域と異なる第二の領域に形成されている事の特徴とする請求項1又は2記載の半導体装置。

【請求項4】前記フューズは、金属からなるメタルフューズである事の特徴とする請求項1乃至3記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリのワード線駆動回路に関するもので、特にリダダンシー用のフューズを有するものである。

【0002】

【従来の技術】メモリの高集積化に伴い不良セルを救済する為の冗長回路(リダダンシー)の重要性が高まっている。通常のメモリではメモリセルに不良がある場合、その不良セルを使用する代わりに通常のメモリセルとは別に設けられた予備のメモリセル(冗長セル)を使用する。この場合、その不良セルのアドレスをメモリ内の専用回路に記憶しておく。

【0003】そして、メモリの外部から供給されたアドレスと、記憶された不良セルのアドレスとを比較し、これらのアドレスが不一致の場合には通常のメモリセルアレーからそのアドレスに対応したメモリセルを選択し、

これらのアドレスが一致した場合には予備のメモリセルアレー(冗長セルアレー)からアドレスに対応した冗長セルを選択する。

【0004】しかし、高速動作が要求されるSRAM等のメモリでは、上述の様に予め記憶された不良セルのアドレスと、外部から供給されたアドレスとの比較動作を省略して高速動作を可能としている。

【0005】次に、高速な読み出し若しくは書き込みが要求されるSRAMを例に採り、リダダンシーについて説明する。図1にデコード回路及びワード線駆動回路部を、図1(2)及び図1(3)はSRAMのメモセル部の回路図を示した。

【0006】図1(1)に示される様に、SRAMのデコード回路10は、トランジスタ3、4、6、7から構成されたNAND論理回路で構成される。ここで、VDD及びGNDはそれぞれ高電源電圧、低電源電圧であり、IX1、IX2はアドレス信号である。

【0007】また、ワード線駆動回路11は、抵抗1、トランジスタ5、インバータ8から構成される。更に、デコード回路10とワード線駆動回路11の間にリダダンシー用のフューズ2が設けられている。

【0008】次に、図1(2)に示される様に、SRAMのメモセルは、抵抗12、13及びトランジスタ14、15で構成され、トランジスタ16、17はこのメモリセルを選択する為の選択トランジスタとして使用される。

【0009】ここで、WLはワード線を、BL、/BL(/BLはBLの反転信号)はビット線対を意味する。また、ワード線WLには、図1(1)で示したインバータ8の出力信号が供給される。

【0010】上述の様に、高速動作が要求されるSRAMでは予め記憶された不良セルのアドレスと、メモリの外部から供給されたアドレスを比較するのではなく、図1(1)におけるフューズ2を予め切断しておき、不良アドレスが入力された場合には、図示しない冗長セルが選択される。これにより、高速読み出し若しくは書き込みが可能となる。

【0011】また、図1(1)に示す様に、フューズ2を切断するとワード線駆動回路11、及び、それに接続されたワード線WLは使用されない。その際、ワード線WLがフローティング状態になる事を防止する為に、ノード9には抵抗1を介して高電源電圧VDDが接続されている。また、メモリを製造する際、抵抗1はメモリセルの抵抗12及び13と同時に形成される為、効率良く抵抗を製造できる。

【0012】一方、図1(2)に示されるメモリセルは抵抗12及び13を使用している為、リーク電流が多い等の理由により、現在では図1(3)に示される様なメモリセルも使用されている。

【0013】しかし、図1(3)から解るように、この

メモリセルは全てトランジスタで構成されている。従って、図1(3)に示されるメモリセルは抵抗を使用しないでリーク電流を抑制できるが、抵抗1を製造する為だけの工程が必要となってしまう。

【0014】そこで、図2(1)に示される様に、抵抗を使用せずフューズ25をデコード回路24の中に設ける。これにより、抵抗が不要になる。また、この回路を使用する場合、ワード線WLを一旦、非選択にしてワード線WLの電位を“L”にする。この時、PMOS26は導通し、ノード27の電位は“H”(高電源電圧VDD)に固定され、更にインバーター28を介してワード線WLが“L”に固定される。この時、フューズ25を切断すれば、ワード線WLをフローティング状態になる事を防止できる。

【0015】また、図2(2)に、図2(1)で示したデコード回路24のレイアウト図を示した。図2(2)に示した様に、NMOS形成領域34には、ノード33と接地電源GNDとの間にNMOS30及び29が直列に接続されている。また、PMOS領域35にはノード27と高電源電圧VDDとの間にPMOS31及び33が並列に接続されている。

【0016】ここで、アドレス信号X1はPMOS31のゲート電極38と、NMOS29のゲート電極36に供給される。また、アドレス信号X2はPMOS32のゲート電極39と、NMOS30のゲート電極37に供給される。

【0017】

【発明が解決しようとする課題】上述の様に、リーク電流の低減、不良セルが接続されたワード線のフローティング状態防止等の観点より、図1(3)に示されるメモリセルと、図2に示したデコード回路及びワード線駆動回路を使用する方が良い。

【0018】しかし、図2(1)のデコード回路を使用した場合、図2(2)に示される様に、フューズ25の周囲には必ず配線が配置される。フューズ25が、PMOS32とNMOS30間に配置されているからである。この状態で、フューズ25を切断すると、フューズ25の切断破片が周囲の配線と接触する恐れがあり、動作不良を引き起こす原因となる。

【0019】本願発明は、以上の様な問題に鑑みたものであり、フューズを配線等で取り囲まれない領域に形成する事により、レイアウトの自由度を向上させたデコード回路を提供する事を目的とする。

【0020】

【課題を解決するための手段】上述の様な目的を達成する為に、本願発明にかかるデコード回路は、ワード線駆動回路へ信号を出力する為の接点を有し、この接点と低電圧電源との間に接続されたトランジスタの内、前記低電圧電源に近いトランジスタのソース端子と前記低電圧電源との間にヒューズが接続されている事を特徴とす

る。本願発明は、上述の様な構成を採用する事により、レイアウトの自由度を向上させたデコード回路を提供する事が出来る。

【0021】

【発明の実施の形態】本発明の実施形態を図面を用いて詳細に説明する。図3にSRAMのブロック図を示した。ただし、説明の便宜上、簡易に示した。図3に示される様に、アドレス信号がデコード回路に入力され、所定の信号にデコード(非符号化)される。デコードされたアドレス信号の一部はワード線駆動回路へ、残りはカラムゲートへ入力される。

【0022】ワード駆動回路は、デコードされたアドレス信号に応じたメモリセルアレイ内の所定のワード線を選択する。またカラムゲートは、デコードされたアドレス信号に応じたメモリセルアレイ内の所定のビット線対を選択する。これにより、アドレス信号に応じたメモリセルアレイ内のメモリセルが選択される。

【0023】読み出し動作の場合、選択されたメモリセルに保持されたデータは、カラムゲートを介し、更にセンスアンプで感知増幅されデータ入出力回路を介して当該SRAMの外へ出力される。書き込み動作等については省略する。

【0024】次に、図4に、図3で示したワード線駆動回路及びメモリセルアレイの一部の回路図を示した。図4に示した様に、デコード回路でデコードされたアドレス信号An、Bn、Cn、Dn(n=1、2、3、、、)がワード線駆動回路に入力される。ここで、NANDゲートNGn(n=1、2、3、、、)は、所定の論理演算を行う回路であり、一旦デコードされたアドレス信号An、Bn(n=1、2、3、、、)をデコードする働きをする。

【0025】次に、アドレス信号A1、B1、C1、D1が入力されるワード線駆動回路の構成について説明する。アドレス信号A1、B1は、NANDゲート101に入力され、インバーター171を介してメインワード線MWL1に伝達される。更に、セクション0内において、サブデコーダ701を構成するNANDゲート141~144に入力され、それぞれの出力がインバーター161~164を介して、それぞれセクションワード線WL1~WL4に伝達される。ここで、サブデコーダ701は、ワード線駆動回路部で一旦デコードされたアドレス信号を更にデコードする為の回路である。また、セクションワード線WL1~WL4には、多数のメモセル180が電気的に接続されており、具体的な回路図は図1(3)に既に示した。

【0026】また、アドレス信号C1、D1はNANDゲート111に直接入力される。また、アドレス信号C1をインバーター131で反転させた信号とアドレス信号D1をNANDゲート112に入力される。また、アドレス信号C1と、アドレス信号D1をインバーター1

32で反転させた信号がNANDゲート113に入力される。

【0027】更に、アドレス信号C1をインバーター133で反転させた信号と、アドレス信号D1をインバーター134で反転させた信号がNANDゲート114に入力される。そして、そのそれぞれの出力が、インバータ172～175を介して、それぞれがNANDゲート141～144に入力される。セクションn (n=2、3、4、...)も同様の構成である。

【0028】更に、アドレス信号An、Bn、Cn、Dn (n=2、3、4、...)が入力されるワード線駆動回路も同様に構成される。また、図5(2)にNANDゲートNG1を示し、図5(1)にNANDゲート101の具体回路図を示した。図5(1)に示される様に、トランジスタTr2、Tr3、Tr4の電流経路が直列に接続されている。

【0029】トランジスタTr2の電流経路の一端は出力端子Xn (n=1、2、3、...)に、他端は高電圧電源VDDに接続されている。また、トランジスタTr3の電流経路の一端は出力端子Xnに、他端はトランジスタTr4の電流経路に接続される。また、トランジスタTr4のソース端子はリダンダンシー用のフューズ500を介して低電圧電源GNDに接続されている。また、トランジスタTr2、Tr4のゲート端子にはアドレス信号Bn (n=1、2、3、...)が供給される。また、トランジスタTr1、Tr3のゲート端子にはアドレス信号Anが供給される。また、トランジスタTr1の電流経路の一端は出力端子Xnに、他端は高電圧電源VDDに接続されている。

【0030】また、上述の説明は図4中のNANDゲート101についての説明であるが、NANDゲート102、103、...も同様の構成である。上述の実施形態はNANDゲートを例に取って説明したが、図5(3)及び(4)に示した様にNORゲートでも良い。図5(4)にNORゲートを示し、図5(3)にNORゲートの具体回路図を示した。図5(3)に示される様に、トランジスタTr5、Tr6、Tr7の電流経路が直列に接続されている。

【0031】トランジスタTr7の電流経路の一端は出力端子Xnに、他端は低電圧電源GNDに接続されている。また、トランジスタTr6の電流経路の一端は出力端子Xnに、他端はトランジスタTr5の電流経路に接続される。また、トランジスタTr5のソース端子はリダンダンシー用のフューズ501を介して高電圧電源VDDに接続されている。また、トランジスタTr6、Tr7のゲート端子にはアドレス信号Bnが供給される。また、トランジスタTr5、Tr8のゲート端子にはアドレス信号Anが供給される。また、トランジスタTr8の電流経路の一端は出力端子Xnに、他端は低電圧電源GNDに接続されている。

【0032】また、上述の実施形態では、二入力NANDゲート及び二入力NORゲートの場合を示しているが、二入力以上であっても良い。ここで、注目すべき事は、従来と異なりフューズ500が電源端子と、NANDゲート又はNORゲートを構成するトランジスタの電流経路の一端との間に接続されている事である。以下、図5(1)、(2)に示したNANDゲートを例に取り説明する。

【0033】次に、図6に図5で示したNANDゲートが複数個並べた場合のレイアウトを示した。図6に示す様に、NMOS領域1002には、出力端子Xn (n=1、2、3、...を示しており、以下省略する)とソース端子SNnとの間に、電流経路が直列に接続されたNMOSが配置されている。また、GNnはNMOSのゲート電極を示している。

【0034】また、PMOS領域1003には、高電圧電源VDDと出力端子Xnとの間に、電流経路が並列に接続されたPMOSが配置されている。また、GPnはPMOSのゲート電極を示している。

【0035】更に、フューズ領域1001には、NMO Sのソース端子SNnと低電圧電源GNDとの間に、フューズFnが配置されている。フューズFnをこの様に配置する事によって、フューズFnを取り囲む様な配線は存在しない。

【0036】従って、所定の位置のフューズFnをレーザで切断する場合、その切断断片が周囲に飛び散っても従来の様な配線不良を引き起こす恐れは減少する。また、フューズFnには珪化アルミニウム (Al-Si)、アルシリカ銅 (Al-Si-Cu) 等のメタルフューズを使用する事が好ましい。理由は以下の通りである。

【0037】図5(1)に示した様に、本実施形態は、サブデコード503の出力端子Xnに直列に接続されたトランジスタTr3、Tr4の内、低電圧電圧に最も近いトランジスタTr4のソース端子にフューズ500が接続されている。もし、フューズ500にポリシリコン等の高抵抗材料を使用した場合、トランジスタTr4のソース端子とドレイン端子間の電位差が小さくなってしまい、電流駆動能力の低下等の原因となる。従って、フューズ500をトランジスタTr4のソース端に接続する場合、フューズ500には低抵抗材料であるメタルフューズを使用する方が好ましい。メタルフューズ500自身の抵抗が小さい為、トランジスタTr4のソース端子とドレイン端子間の電位降下を抑制できるからである。

【0038】また、図5(2)に示したサブデコード504においても、トランジスタTr5のソース端子とドレイン端子間の電圧降下を抑制するため、トランジスタTr5のソース端に接続されたフューズ501もメタルヒューズである事が望ましい。更に、上述の様な材料を使用した場合にはポリシリコンからなるフューズを使用

7

した場合に比べて、より高速な信号伝播が可能となる。

【0039】

【発明の効果】本願発明は、上述の様な構成を採用する事により、レイアウトの自由度を向上させたデコード回路を提供する事が出来る。

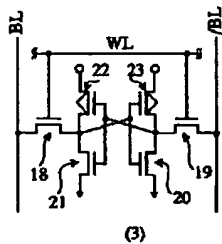
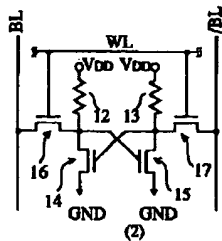
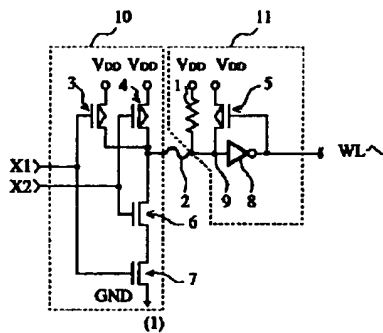
【図面の簡単な説明】

【図1】従来のデコード回路、ワード線駆動回路及びSRAMのセルの回路図示したものである。

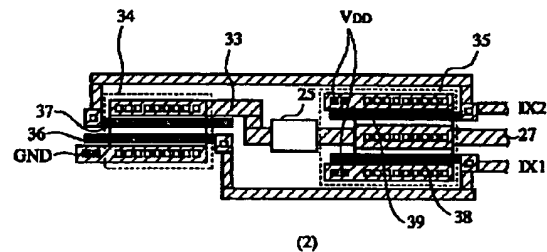
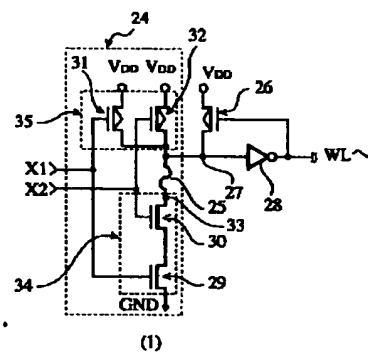
【図2】従来のデコード回路、ワード線駆動回路、SRAMのセルの回路図及びデコード回路のレイアウト図を示したものである。

【図3】SRAMの全体構成図を示した図である。

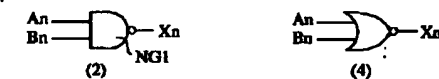
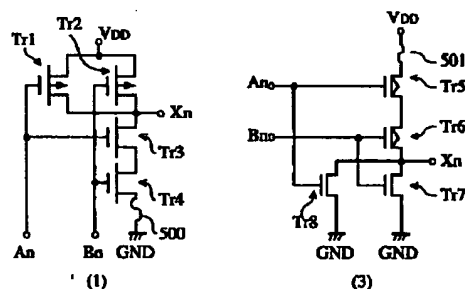
【図1】



【図2】



【図5】



【図4】図3のSRAMのワード線駆動回路とメモリセルアレイの一部の回路図を示した図である。

【図5】スタティックNAND型のデコード回路の回路図を示した図である。

【図6】デコード回路のレイアウトを示した図である。

【符号の説明】

Tr 1 ~ Tr 8 トランジスタ

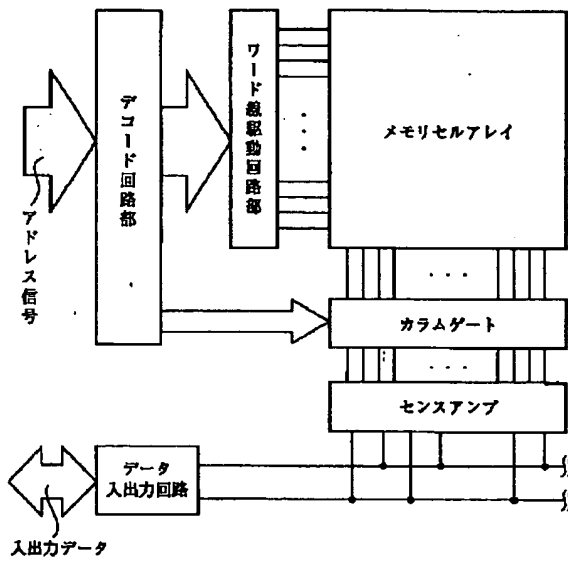
VDD 高電圧電源

GND 低電圧電源

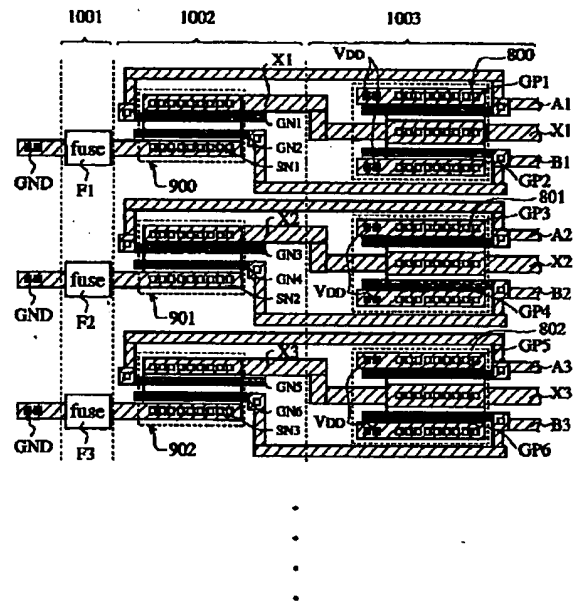
10 500、501 フューズ

Xn 出力端子

【 図3 】



【 図6 】



【 図4 】

